

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 02188970 A

(43)Date of publication of application: 25.07.90

(51)Int. Cl    **H01L 29/788**  
                 **H01L 29/792**

(21)Application number: 01008006

(71)Applicant: TOSHIBA CORP

(22)Date of filing: 17.01.89

(72)Inventor: MORI SEIICHI  
                 YOSHIKAWA KUNIYOSHI

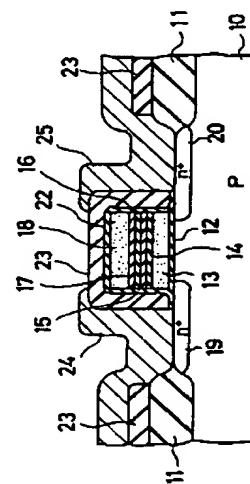
(54)NONVOLATILE SEMICONDUCTOR STORAGE  
DEVICE

second gate electrodes 13 and 18.

(57)Abstract:

PURPOSE: To obtain a highly reliable nonvolatile semiconductor storage device having excellent long-term data holding characteristics even when inter-layer insulating films between a floating and controlling gate electrodes are made thinner in thickness by constituting the inter-layer insulating films between the gate electrodes of a nitride film, oxide film, nitride film, and oxide film.

CONSTITUTION: In this nonvolatile storage device having a two-layer gate structure, inter-layer insulating films 14-17 between the first and second gate electrodes 13 and 18 are constituted to a four-layer structure of, from the first gate electrode 13 side, the first nitride film 14, first oxide film 15, second nitride film 16, and second oxide film 17. The optimum thicknesses of the films 14, 15, 16 and 17 are respectively  $\leq 60\text{\AA}$ ,  $\leq 50\text{\AA}$ , 70-150 $\text{\AA}$ , and  $\leq 20\text{\AA}$ . In addition, a floating gate electrode 13 constituted of a polycrystalline silicon film and controlling gate 18 constituted of a polycrystalline silicone film are respectively used as the first and



## ⑫ 公開特許公報 (A)

平2-188970

⑬ Int. Cl. 5

H 01 L 29/788  
29/792

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

7514-5F H 01 L 29/78 371

審査請求 未請求 請求項の数 5 (全4頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平1-8006

⑰ 出 願 平1(1989)1月17日

⑱ 発明者 森 誠一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発明者 吉川 邦良 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代理人 弁理士 鈴江 武彦 外3名

## 明細書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

(1) 2層ゲート構造を有する不揮発性記憶装置において、第1のゲート電極及び第2のゲート電極間の層間絶縁膜は、前記第1のゲート電極側から第1の窒化膜、第1の酸化膜、第2の窒化膜及び第2の酸化膜という4層構造から構成されていることを特徴とする不揮発性半導体記憶装置。

(2) 前記第1の窒化膜の膜厚は60Å以下であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

(3) 前記第1の酸化膜の膜厚は50Å以上であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

(4) 前記第2の窒化膜の膜厚は70Å以上150Å以下であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

(5) 前記第2の酸化膜の膜厚は20Å以上

であることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 3. 発明の詳細な説明

## 【発明の目的】

## (産業上の利用分野)

本発明は2層ゲート構造を有する不揮発性記憶装置に関するもので、特にEPROMやEEPROMに使用されるものである。

## (従来の技術)

従来、2層ゲート構造を有する不揮発性記憶装置は浮遊ゲート電極及び制御ゲート電極間の層間絶縁膜に、浮遊ゲート電極の材料として通常使用される多結晶シリコンの熱酸化膜を使用していた。このため、半導体素子の微細化に伴い層間絶縁膜の薄膜化が進行すると、データ保持中に層間絶縁膜に加わる電界が強くなるため、素子特性の劣化が避けられなかった。そこで、最近では酸化膜、窒化膜及び酸化膜の3層構造(以下「ONO構造」という。)の層間絶縁膜を用いて層間絶縁膜の耐圧向上を図っている。しかしながら、浮遊

ゲート電極側の酸化膜には高濃度に不純物を拡散させた多結晶シリコン(浮遊ゲート電極)の熱酸化膜を使用するため、その特性が悪くなっている。従って、半導体素子が微細化し層間絶縁膜の薄膜化が進行すると、結果として長期電荷保持特性が保障できなくなる欠点がある。

(発明が解決しようとする課題)

このように、従来は、半導体素子の微細化により浮遊ゲート電極及び制御ゲート電極間の層間絶縁膜が薄膜化すると、長期電荷保持特性が劣化する欠点があった。

よって、本発明の目的は、浮遊ゲート電極及び制御ゲート電極間の層間絶縁膜が薄膜化されても、長期データ保持特性に優れる信頼性の高い不揮発性記憶装置を提供することである。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、本発明の不揮発性半導体記憶装置は、例えば多結晶シリコンの浮遊ゲート電極上に形成される層間絶縁膜が、前記

けを抑制することができる。また、最下層のシリコン空化膜を酸化することによりその上のシリコン酸化膜を形成することができ、前記シリコン酸化膜の膜質が向上し電荷保持特性が向上する。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は本発明の不揮発性半導体記憶装置を示したものである。

p型シリコン基板10表面にはフィールド酸化膜11が形成されている。フィールド酸化膜11により囲まれた素子領域の表面には熱酸化膜12が形成されている。また、熱酸化膜12上には多結晶シリコンの浮遊ゲート電極13が形成されている。浮遊ゲート電極13上には層間絶縁膜として、浮遊ゲート電極13側からシリコン空化膜14並びにシリコン酸化膜15、シリコン空化膜16及びシリコン酸化膜17のONO構造の絶縁膜が形成されている。シリコン酸化膜17上には制御ゲート電極18が形成されている。なお、シリコン空化膜14はシリコン酸化

浮遊ゲート電極側からシリコン空化膜、シリコン酸化膜、シリコン空化膜、シリコン酸化膜という4層構造をしているものである。

また、前記第1の空化膜の膜厚を60Å以下とすれば、制御ゲート電極からの正孔の注入を防止できるので効果的である。

さらに、前記第1の酸化膜の膜厚を50Å以上とすれば、充分なエネルギーギャップを確保し、かつ、キャリアのトンネリングを防止することができる。

また、前記第2の空化膜の膜厚を70Å以上とすることにより浮遊ゲート電極からの電子の抜けを防止でき、また、150Å以下とすることにより正孔の注入を防止することができる。

さらに、前記第2の酸化膜の膜厚は制御ゲート電極からの正孔の注入を防止するため20Å以上が良い。

(作用)

このような構造によれば、各膜の膜厚を最適化することにより浮遊ゲート電極からの電子の抜け

膜15の膜質を向上させるが、この空化膜14へ正孔の注入が起こるためできるだけ薄い方が良く、例えば60Å以下とするのが望ましい。また、シリコン酸化膜15は充分なエネルギーギャップを確保し、かつ、キャリアの直接トンネリングを防止するため50Å以上が良い。シリコン空化膜16は電子の抜けを抑制するため70Å以上とし、かつ、正孔の注入を抑制するため150Å以下とする。さらに、制御ゲート電極18直下のシリコン酸化膜17は制御ゲート電極18からの正孔の注入を抑制するため20Å以上が良い。基板10の表面領域にはソース領域19及びドレイン領域20が形成されている。浮遊ゲート電極13及び制御ゲート電極18の表面を覆って薄い熱酸化膜22が形成されている。全面にはバッジベーション膜としてのCVD酸化膜23が形成されている。そして、コンタクトホールを介してソース電極24及びドレイン電極25が形成されている。

第2図(a)～(e)は本発明を紫外線消去型EPROMセルに実施した場合の製造工程を示して

いる。なお、前記第1図と同一の部分には同じ符号が付してある。

まず、同図(a)に示すように、p型シリコン基板10の表面に選択酸化法によりフィールド酸化膜11を形成する。この後、約900°Cで熱処理を行い、基板10の素子領域表面に第1のゲート絶縁膜となる膜厚200Å程度の熱酸化膜12を形成する。また、全面には浮遊ゲート電極となる膜厚4000Å程度の第1の多結晶シリコン膜13'を堆積形成する。さらに、POCl<sub>3</sub>を拡散源として約900°Cで第1の多結晶シリコン膜13'にリンを拡散させる。次に、同図(b)に示すように、第1の多結晶シリコン膜13'上に例えばLPCVD法を用いて第1のシリコン窒化膜14を110Å程度堆積形成する。また、窒化膜14表面を燃焼酸化法で酸化し、この窒化膜14表面に90Å程度の第1のシリコン酸化膜15を形成する。この時、窒化膜14は60Å程度消費され50Å程度の膜厚となる。この後、酸化膜15上に例えばLPCVD法を用いて第2のシリコン窒化膜16を

電極13上には前記4層構造からなる第2のゲート絶縁膜26が形成される。さらに、第2のゲート絶縁膜26上には第2の多結晶シリコン膜18'で構成された制御ゲート電極18が形成される。続いて、制御ゲート電極18をマスクにしてヒ素をイオン注入することにより、基板10の表面にn<sup>+</sup>型のソース領域19及びドレイン領域20を形成する。次に、同図(e)に示すように、乾燥酸化雰囲気中で約950°Cの熱酸化を行い、浮遊ゲート電極13及び制御ゲート電極18のそれぞれの表面に膜厚400Å程度の薄い熱酸化膜22を形成する。また、全面にバッファーベーション膜としてリンをドープした膜厚が0.8μm程度のCVD酸化膜23を堆積形成する。さらに、写真蝕刻法によりコンタクトホールを開孔した後、全面には膜厚1.0μm程度のアルミニウムとシリコンからなる合金膜を堆積形成する。この後、パターニングを行なって前記合金膜によるソース電極24及びドレイン電極25を形成する。

このようにして形成されたEPROMセルは、電

120Å程度堆積形成する。さらに、窒化膜16表面を燃焼酸化法で酸化し、この窒化膜16表面に30Å程度の第2のシリコン酸化膜17を形成する。この時、窒化膜16は20Å程度消費され100Å程度の膜厚となる。これにより、浮遊ゲート電極側から窒化膜14(膜厚50Å)、酸化膜15(90Å)、窒化膜16(100Å)、酸化膜17(30Å)という4層構造の層間絶縁膜が形成される。次に、同図(c)に示すように、全面には制御ゲート電極となる膜厚4000Å程度の第2の多結晶シリコン膜18'を堆積形成する。さらに、POCl<sub>3</sub>を拡散源として約900°Cで30分間、第2の多結晶シリコン膜18'にリンを拡散させる。次に、同図(d)に示すように、写真蝕刻法を用いて第2の多結晶シリコン膜18'、酸化膜17、窒化膜16、酸化膜15、窒化膜14及び第1の多結晶シリコン膜13'を順次エッチングする。この結果、基板10上には第1のゲート絶縁膜としての熱酸化膜12を介して第1の多結晶シリコン膜13'で構成された浮遊ゲート電極13が形成される。また、浮遊ゲート

荷が抜け難いように各膜厚が設定された酸化膜15、窒化膜16及び酸化膜17のONO構造が存在し、また、浮遊ゲート電極13に近い酸化膜15が窒化膜14の酸化で得られた膜質の良好なものとなっている。従って、浮遊ゲート電極13に蓄積された電子が制御ゲート18へ時間とともに抜けることが有効に防止される。すなわち、長期保持特性の優れたEPROMセルを形成できる。

第3図は300°C高温放置における電荷保持特性の一例を示している。同図から明らかなように、電荷保持時間について本発明は従来に比べ約2倍となっている。

なお、前記実施例はEPROMについて述べているが、EEPROMその他の不揮発性記憶装置について有効であることは言うまでもない。

#### 【発明の効果】

以上、説明したように本発明によれば次のような効果を奏する。

浮遊ゲート電極及び制御ゲート電極間の層間絶縁膜が窒化膜、酸化膜、窒化膜及び酸化膜から

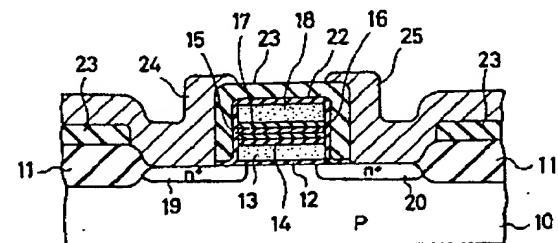
構成されているので、浮遊ゲート電極側の酸化膜の膜質が向上する。従って、このような4層構造の各膜の膜厚をそれぞれ最適化することにより電荷保持特性の向上が達成できる。

#### 4. 図面の簡単な説明

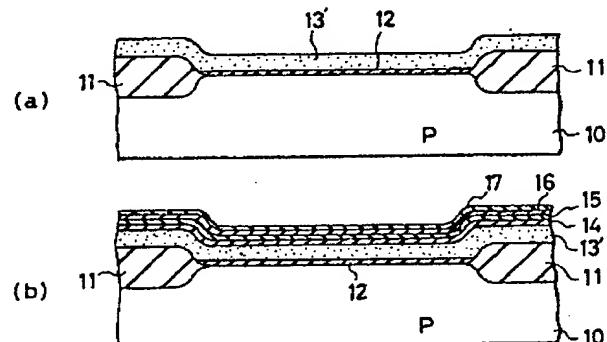
第1図は本発明の一実施例に係わる不揮発性半導体記憶装置を示す断面図、第2図は本発明を紫外線消去型EPROMに実施した場合の製造工程を示す断面図、第3図は300°C高温放熱における電荷保持特性を示す図である。

13…浮遊ゲート電極、14…シリコン窒化膜、  
15…シリコン酸化膜、16…シリコン窒化膜、  
17…シリコン酸化膜、18…制御ゲート電極。

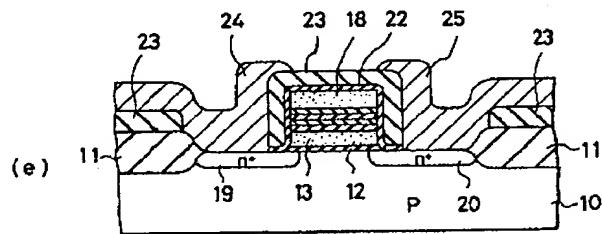
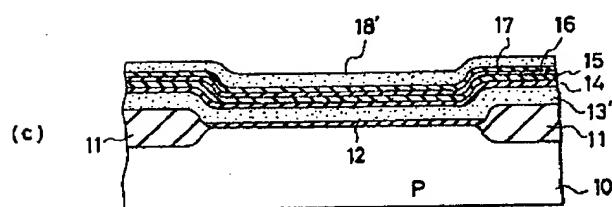
出願人代理人 弁理士 鈴江武彦



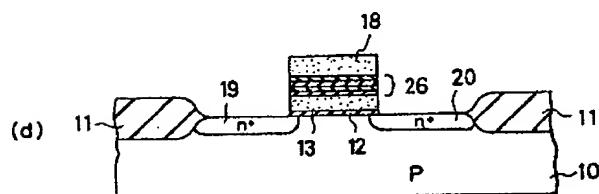
第 1 圖



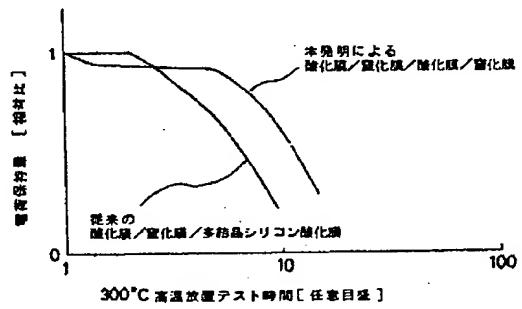
## 第 2 図



## 第 2 図



第 2 図



### 第 3 図